

(1) Japanese Patent Application Laid-Open No. 05-152523 (1993)

**"COMPLEMENTARY MIS SEMICONDUCTOR INTEGRATED CIRCUIT
DEVICE"**

The following is an English translation of an extract of the above application.

5

The purpose of the invention disclosed here is to prevent latchup of a semiconductor device.

To this end, in a CMOS semiconductor device having an output terminal having a P⁻ type well formed on a N⁻ type semiconductor substrate, a P⁺ type region is provided in a portion away from a well and an equal potential to that of the substrate or a higher potential than the well is applied to the P⁺ region.

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-152523

(43)公開日 平成5年(1993)6月18日

(51)Int.Cl.⁵

H 01 L 27/08
27/092

識別記号 庁内整理番号

3 3 1 B 7342-4M

F I

技術表示箇所

7342-4M

H 01 L 27/ 08

3 2 1 B

審査請求 有 発明の数1(全 6 頁)

(21)出願番号

特願平4-124885

(62)分割の表示

特願昭58-124186の分割

(22)出願日

昭和58年(1983)7月8日

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72)発明者 井富 登

長野県諏訪市大和3丁目3番5号株式会社

諏訪精工舎内

(74)代理人 弁理士 鈴木 喜三郎 (外1名)

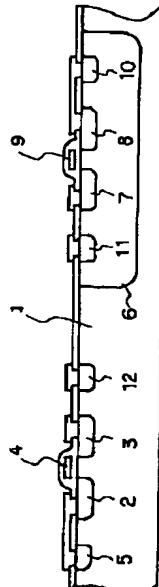
(54)【発明の名称】 相補型MIS半導体集積回路装置

(57)【要約】

【目的】 半導体装置のラッチアップを防止する。

【構成】 N-半導体基板に形成されたP-ウェルを有する出力端子を有するCMOS半導体装置において、ウェルから離れた部分にP+領域を設け、そのP+領域に基板と同電位あるいはウェルよりも高い電位を印加することを特徴とする。

【効果】 出力端子印加される出力端子に電源電圧よりも高いサージ電圧が印加された場合にもラッチアップを防止することができる。



【特許請求の範囲】

【請求項1】 第1導電型の半導体基板の一部表面に形成された第2導電型の第1の領域と、前記第1の領域に形成され一端が第1の出力端子に接続された第1のMISFETと、前記第1の領域より離間して前記半導体基板に形成され一端が前記第1または第2の出力端子に接続された第2のMISFETとを有する相補型MIS半導体集積回路装置において、

前記第1の領域よりも高不純物濃度を有する前記第2導電型で前記第1の領域より離間して前記半導体基板に形成され前記半導体基板とPN接合を構成し、かつ前記半導体基板と同電位もしくは前記第1の領域と前記半導体基板に印加される電圧の間の固定電位が印加される第2の領域を有することを特徴とする相補型MIS半導体集積回路装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は相補型半導体集積回路装置に関し、主としてラッチアップの防止方法を対象とする。

【0002】

【従来の技術】図1に従来の半導体装置の断面図を示す。1はN⁻半導体基板、2, 3, 4はPチャンネルMISFETのソース、ドレイン、ゲート、5はN⁻半導体基板のコンタクト用N⁺領域、6はP⁻ウェル、7, 8, 9はNチャンネルMISFETのドレイン、ソース、ゲートであり、10はP⁻ウェルのコンタクト用P⁺領域である。

【0003】図2は、図1に示した構造でラッチアップを説明する等価回路図である。1から3, 5から8, 10は図1の1～3, 5～8, 10に対応し、101, 601はコレクタ抵抗である。

【0004】

【発明が解決しようとする課題】1, 2, 3は電源電位に、6, 8, 10は接地電位にバイアスされ、3, 7は出力端子に接続されているような相補型MIS半導体集積回路装置では、PチャンネルMISFETのソース2、N⁺半導体基板1、P⁻ウェル6とNチャンネルMISFETのソース8から構成される寄生PNP型サイリスタが存在し、使用中、出力端子に電源電圧より高いサージ電圧が印加されると、出力端子に接続されているPチャンネルMISFETのドレイン3が、N⁻半導体基板1とP⁻ウェル6から成るPNPトランジスタのエミッタと成り、PNPトランジスタが順バイアスされる。PチャンネルMISFETのドレイン3とN⁻半導体基板1とP⁻ウェル6から成るPNPトランジスタが順バイアスされることによりNチャンネルMISFETのソース8と同電位であるはずのP⁻ウェル6との間に電位差が生じる。NチャンネルMISFETのソース8とP⁻ウェルとの間に電位差が生じることによりN⁻半

導体基板1とP⁻ウェル6とNチャンネルMISFETのソース8から成るNPNトランジスタが順バイアスされる。N⁻半導体基板1とP⁻ウェル6とNチャンネルMISFETのソース8から成るNPNトランジスタが順バイアスされることにより、PチャンネルMISFETのソース2と同電位であるはずのN⁻半導体基板1との間に電位差が生じる。PチャンネルMISFETのソース2とN⁻半導体基板1との間に電位差が生じることによりPチャンネルMISFETのソース2とN⁻半導体基板1とP⁻ウェル6から成るPNPトランジスタが順バイアスされる。PチャンネルMISFETのソース2とN⁻半導体基板1とP⁻ウェル6から成るPNPトランジスタが順バイアスされることにより、PチャンネルMISFETのソース2とN⁻半導体基板1とP⁻ウェル6から成るPNPトランジスタとN⁻半導体基板1とP⁻ウェル6とNチャンネルMISFETのソース8から成るNPNトランジスタの結合による寄生サイリスタに正帰還がかかりラッチアップが起きてしまう。

【0005】また、出力端子に接地よりも低いサージ電圧が印加されると、出力端子に接続されているNチャンネルMISFETのドレイン7がN⁻半導体基板1とP⁻ウェル6から成るNPNトランジスタのエミッタと成り、NPNトランジスタが順バイアスされる。N⁻半導体基板1とP⁻ウェル6とNチャンネルMISFETのドレイン7から成るNPNトランジスタが順バイアスされるとPチャンネルMISFETのソース2と同電位であるはずのN⁻半導体基板1との間に電位差が生じる。

【0006】PチャンネルMISFETのソース2とN⁻半導体基板1との間に電位差が生じることにより以後、出力端子に電源電圧より高いサージ電圧が印加された場合と同様、PチャンネルMISFETのソース2とN⁻半導体基板1とP⁻ウェル6から成るPNPトランジスタとN⁻半導体基板1とP⁻ウェル6とNチャンネルMISFETのソース8から成るNPNトランジスタの結合による寄生サイリスタに正帰還がかかってラッチアップが起ってしまう。

【0007】従来、寄生サイリスタによるラッチアップを防止する手段として、

(1) PチャンネルMISFETのソースとP⁻ウェルの間隔を拡げるかP⁻ウェルの深さを深くするかによりPNPまたはNPNトランジスタのベース幅を拡げる。

【0008】(2) N⁻半導体基板とPチャンネルMISFETのソースまたはP⁻ウェルとNチャンネルMISFETのソースとの間を低抵抗で接続し、ベースとエミッタ間の電位差を小さくしてトランジスタに順バイアスがかからないようにする。

【0009】等の対策方法が用いられていた。

【0010】本発明は、従来の方法に加えて更に効果を発揮させることができるものである。

【0011】

【課題を解決するための手段】第1導電型の半導体基板の一部表面に形成された第2導電型の第1の領域と、前記第1の領域に形成され一端が第1の出力端子に接続された第1のM I S F E Tと、前記第1の領域より離間して前記半導体基板に形成され一端が前記第1または第2の出力端子に接続された第2のM I S F E Tとを有する相補型M I S半導体集積回路装置において、前記第1の領域よりも高不純物濃度を有する前記第2導電型で前記第1の領域より離間して前記半導体基板に形成され前記半導体基板とP N接合を構成し、かつ前記半導体基板と同電位もしくは前記第1の領域と前記半導体基板に印加される電圧の間の固定電位が印加される第2の領域を設ける。

【0012】

【実施例】図3に本発明の実施例による半導体装置の断面図を示す。1から10までは、図1に示した1から10に対応し、11は本発明によるN⁻半導体基板1と同電位にしたコンタクト用N⁺領域でNチャンネルM I S F E Tのドレイン7と最小間隔で対向してある。また12も本発明によるP⁻ウェル6と同電位にしたコンタクト用P⁺領域でPチャンネルM I S F E Tのドレイン3と最小間隔で対向してある。

【0013】図4は、図3で示した実施例の等価回路図である。1から3、5から8、10から12は図3の1から3、5から8、10から12にそれぞれ対応し、101と601は寄生バイポーラのコレクタ抵抗である。

【0014】出力端子に電源電圧よりも高いサージ電圧が印加されると、出力端子に接続されているPチャンネルM I S F E Tのドレイン3が、N⁻半導体基板1とP⁻ウェル6からなるPNPトランジスタのエミッタとなり、それぞれのPNPトランジスタが順バイアスされる。しかしP⁺領域12をコレクタとした方が、P⁻ウェル6をコレクタとした方に比べてコレクタ抵抗が小さく、ベース幅が狭いので大部分のサージ電流がP⁺領域12の方に流れてしまう。大部分のサージ電流がP⁺領域12の方に流れることによって、P⁻ウェル6とNチャンネルM I S F E Tのソース8との間に電位差が生じないため、PチャンネルM I S F E Tのソース2とN⁻半導体基板1とP⁻ウェル6からなるPNPトランジスタとN⁻半導体基板1とP⁻ウェル6とNチャンネルM I S F E Tのソース8からなるNPNトランジスタの結合による寄生サイリスタに正帰還がかからずラッチアップは発生しない。

【0015】出力端子に接地よりも低いサージ電圧が印加されると出力端子に接続されているNチャンネルM I S F E Tのドレイン7がP⁻ウェル6とN⁻半導体基板1からなるNPNトランジスタとP⁻ウェル6とN⁺領域11からなるNPNトランジスタのエミッタとなり、それぞれのNPNトランジスタが順バイアスされる。しか

し、コンタクト用N⁺領域11をコレクタとした方がN⁻半導体基板1をコレクタとするよりもコレクタ抵抗が小さく、ベース幅が狭いので大部分のサージ電流はコンタクト用N⁺領域11の方に流れる。大部分のサージ電流がコレクタをN⁺領域11とした方に流れることにより、N⁻半導体基板1とPチャンネルM I S F E Tのソース2との間に電位差が生じないため、PチャンネルM I S F E Tのソース2とN⁻半導体基板1とP⁻ウェル6からなるPNPトランジスタとN⁻半導体基板1とP⁻ウェル6とNチャンネルM I S F E Tのソース8からなるNPNトランジスタの結合による寄生サイリスタに正帰還がかからないのでラッチアップは起きない。

【0016】以上述べた如く出力端子に電源電圧よりも高いサージ電圧が印加されて出力端子に接続しているP⁺領域が寄生PNPトランジスタのエミッタとして動作する場合、接地したP⁺領域を出力端子に接続しているP⁺領域と対向して形成することにより、上記寄生PNPトランジスタよりもコレクタ抵抗が低く、かつベース幅の小さいPNPトランジスタを形成することができる。また出力端子に接地電位よりも低いサージ電圧が印加され、出力端子に接続されたN⁺領域が寄生NPNトランジスタのエミッタとして動作する場合、電源電圧にしたN⁺領域を出力端子に接続しているN⁺領域と対向して形成することにより、上記寄生NPNトランジスタよりもコレクタ抵抗が低く、かつベース幅の小さいNPNトランジスタを形成することができ、ラッチアップを防止することができる。

【0017】実施例においてサージ電圧が出力端子に印加された場合を例にとって説明したが、入力端子についても同様な効果を示す。また、N⁻半導体基板をP⁻半導体基板にし、P⁻ウェルをN⁻ウェルにした場合も同様である。さらに従来構造のB i CMOSの構造に本発明の構造を追加してラッチアップを防止するなどの応用ができる。

【0018】

【発明の効果】以上述べたように本願発明による半導体基板に設けられたウェルと同一導電型の領域に電位を与えることにより、出力端子に電源電圧よりも高いサージ電圧が印加された場合でも、ラッチアップを防止することができる。

【図面の簡単な説明】

【図1】 従来の半導体装置の断面図。

【図2】 図1の構造における等価回路図。

【図3】 本発明の実施例である半導体装置の断面図。

【図4】 図3の構造における等価回路図。

【符号の説明】

1 …… N⁻半導体基板

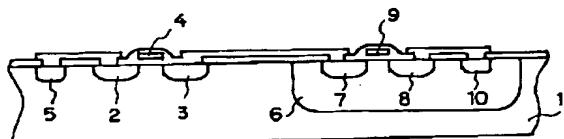
2 …… PチャンネルM I S F E Tのソース

5

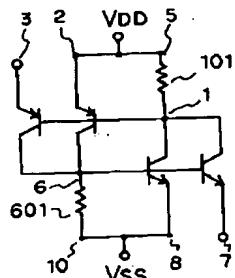
- 3 PチャネルMISFETのドレイン
 4 PチャネルMISFETのゲート
 5 N⁺半導体基板のコンタクト用N⁺領域
 6 P⁻ウェル
 7 NチャネルMISFETのソース

- * 8 NチャネルMISFETのドレイン
 9 NチャネルMISFETのゲート
 10 P⁻ウェルのコンタクト用P⁺領域
 11 コンタクト用N⁺領域
 * 12 コンタクト用P⁺領域

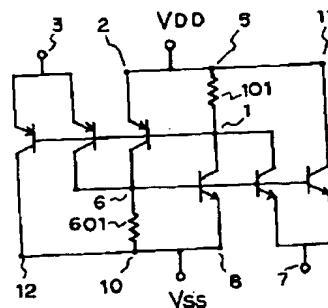
【図1】



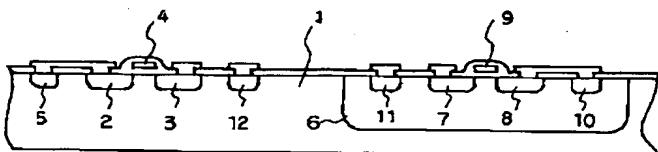
【図2】



【図4】



【図3】



【手続補正書】

【提出日】平成4年6月16日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正内容】

【発明の名称】相補型MIS半導体集積回路装置

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 第1の導電型の半導体基板の一部表面に形成された第2の導電型の第1の領域と、前記第1の領域に形成され一端が第1の出力端子に接続された第1の

MISFETと、前記第1の領域より離間して前記半導体基板に形成され一端が前記第1または第2の出力端子に接続された第2のMISFETとを有する相補型MIS半導体集積回路装置において、

前記第1の領域よりも高不純物濃度を有する前記第2の導電型で前記第1の領域より離間して前記半導体基板に形成され前記半導体基板とPN接合を構成し、かつ前記半導体基板と同電位もしくは前記第1の領域と前記半導体基板に印加される電圧の間の固定電位が印加される第2の領域を有することを特徴とする相補型MIS半導体集積回路装置。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0002

【補正方法】変更

【補正内容】

【0002】

【従来の技術】図1に従来の半導体装置の断面図を示す。1はN⁻半導体基板、2, 3, 4はPチャネル(c-h)MISFETのソース、ドレイン、ゲート、5はN⁻半導体基板のコンタクト用N⁺領域、6はP⁻ウェル、7, 8, 9はNチャネルMISFETのドレイン、ソース、ゲートであり、10はP⁻ウェルのコンタクト用P⁺領域である。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0004

【補正方法】変更

【補正内容】

【0004】

【発明が解決しようとする課題】1, 2, 5は電源電位に、6, 8, 10は接地電位にバイアスされ、3, 7は出力端子に接続されているような相補型MIS半導体集積回路装置では、PチャネルMISFETのソース2、N⁻半導体基板1、P⁻ウェル6とNチャネルMISFETのソース8から構成される寄生PNPN型サイリスタが存在し、使用中、出力端子に電源電圧より高いサージ電圧が印加されると、出力端子に接続されているPチャネルMISFETのドレイン3が、N⁻半導体基板1とP⁻ウェル6から成るPNPトランジスタのエミッタと成り、PNPトランジスタが順バイアスされる。PチャネルMISFETのドレイン3とN⁻半導体基板1とP⁻ウェル6から成るPNPトランジスタが順バイアスされることによりNチャネルMISFETのソース8と同電位であるはずのP⁻ウェル6との間に電位差が生じる。NチャネルMISFETのソース8とP⁻ウェルとの間に電位差が生じることによりN⁻半導体基板1とP⁻ウェル6とNチャネルMISFETのソース8から成るNPNトランジスタが順バイアスされる。N⁻半導体基板1とP⁻ウェル6とNチャネルMISFETのソース8から成るNPNトランジスタが順バイアスされることにより、PチャネルMISFETのソース2と同電位であるはずのN⁻半導体基板1との間に電位差が生じる。PチャネルMISFETのソース2とN⁻半導体基板1との間に電位差が生じることによりPチャネルMISFETのソース2とN⁻半導体基板1とP⁻ウェル6から成るPNPトランジスタが順バイアスされる。PチャネルMISFETのソース2とN⁻半導体基板1とP⁻ウェル6から成るPNPトランジスタが順バイアスされることにより、PチャネルMISFETのソース2とN⁻半導体基板1とP⁻ウェル6から成るPNPトランジスタとN⁻半導体基板1とP⁻ウェル6とNチャネルMISFETのソース8から成るNPNトランジスタの結合による寄生サイリスタに正帰還がかかりラッチアップが起きてしまう。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0005

【補正方法】変更

【補正内容】

【0005】また、出力端子に接地よりも低いサージ電圧が印加されると、出力端子に接続されているNチャネルMISFETのドレイン7がN⁻半導体基板1とP⁻ウェル6から成るNPNトランジスタのエミッタと成り、NPNトランジスタが順バイアスされる。N⁻半導体基板1とP⁻ウェル6とNチャネルMISFETのドレイン7から成るNPNトランジスタが順バイアスされるとPチャネルMISFETのソース2と同電位であるはずのN⁻半導体基板1との間に電位差が生じる。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0006

【補正方法】変更

【補正内容】

【0006】PチャネルMISFETのソース2とN⁻半導体基板1との間に電位差が生じることにより以後、出力端子に電源電圧より高いサージ電圧が印加された場合と同様、PチャネルMISFETのソース2とN⁻半導体基板1とP⁻ウェル6から成るPNPトランジスタとN⁻半導体基板1とP⁻ウェル6とNチャネルMISFETのソース8から成るNPNトランジスタの結合による寄生サイリスタに正帰還がかかりラッチアップが起ってしまう。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0007

【補正方法】変更

【補正内容】

【0007】従来、寄生サイリスタによるラッチアップを防止する手段として、

(1) PチャネルMISFETのソースとP⁻ウェルの間隔を拡げるかP⁻ウェルの深さを深くするかによりPNPまたはNPNトランジスタのベース幅を拡げる。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正内容】

【0008】(2) N⁻半導体基板とPチャネルMISFETのソースまたはP⁻ウェルとNチャネルMISFETのソースとの間を低抵抗で接続し、ベースとエミッタ間の電位差を小さくしてトランジスタに順バイアスがかからないようにする。

【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0011

【補正方法】変更

【補正内容】

【0011】

【課題を解決するための手段】第1の導電型の半導体基板の一部表面に形成された第2の導電型の第1の領域と、前記第1の領域に形成され一端が第1の出力端子に接続された第1のMISFETと、前記第1の領域より離間して前記半導体基板に形成され一端が前記第1または第2の出力端子に接続された第2のMISFETとを有する相補型MIS半導体集積回路装置において、前記第1の領域よりも高不純物濃度を有する前記第2の導電型で前記第1の領域より離間して前記半導体基板に形成され前記半導体基板とPN接合を構成し、かつ前記半導体基板と同電位もしくは前記第1の領域と前記半導体基板に印加される電圧の間の固定電位が印加される第2の領域を設ける。

【手続補正10】

【補正対象書類名】明細書

【補正対象項目名】0012

【補正方法】変更

【補正内容】

【0012】

【実施例】図3に本発明の実施例による半導体装置の断面図を示す。1から10までは、図1に示した1から10に対応し、12は本願発明によるP-ウェル6と同電位にしたコンタクト用P+領域で、PチャネルMISFETのドレイン3と最小間隔で対向してある。また11はN-半導体基板1と同電位にしたコンタクト用N+領域で、NチャネルMISFETのドレイン7と最小間隔で対向してある。

【手続補正11】

【補正対象書類名】明細書

【補正対象項目名】0014

【補正方法】変更

【補正内容】

【0014】出力端子に電源電圧よりも高いサージ電圧が印加されると、出力端子に接続されているPチャネルMISFETのドレイン3が、N-半導体基板1とP-ウェル6からなるPNPトランジスタのエミッタとな

り、それぞれのPNPトランジスタが順バイアスされる。しかしP+領域12をコレクタとしたが、P-ウェル6をコレクタとした方に比べてコレクタ抵抗が小さく、ベース幅が狭いので大部分のサージ電流がP+領域12の方に流れてしまう。大部分のサージ電流がP+領域12の方に流れることによって、P-ウェル6とNチャネルMISFETのソース8との間に電位差が生じないため、PチャネルMISFETのソース2とN-半導体基板1とP-ウェル6からなるPNPトランジスタとN-半導体基板1とP-ウェル6とNチャネルMISFETのソース8からなるNPNトランジスタの結合による寄生サイリスタに正帰還がかからずラッチアップは発生しない。

【手続補正12】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】変更

【補正内容】

【0015】出力端子に接地よりも低いサージ電圧が印加されると出力端子に接続されているNチャネルMISFETのドレイン7がP-ウェル6とN-半導体基板1からなるNPNトランジスタとP-ウェル6とN+領域11からなるNPNトランジスタのエミッタとなり、それぞのNPNトランジスタが順バイアスされる。しかし、コンタクト用N+領域11をコレクタとした方がN-半導体基板1をコレクタとするよりもコレクタ抵抗が小さく、ベース幅が狭いので大部分のサージ電流コンタクト用N+領域11の方に流れる。大部分のサージ電流がコレクタをN+領域11とした方に流れることにより、N-半導体基板1とPチャネルMISFETのソース2との間に電位差が生じない。N-半導体基板1とPチャネルMISFETのソース2との間に電位差が生じないため、PチャネルMISFETのソース2とN-半導体基板1とP-ウェル6からなるPNPトランジスタとN-半導体基板1とP-ウェル6とNチャネルMISFETのソース8からなるNPNトランジスタの結合による寄生サイリスタに正帰還がかからないのでラッチアップは起きない。